

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-172218
(43)Date of publication of application : 02.07.1996

(51)Int.Cl. H01L 33/00

(21)Application number : 06-333890
(22)Date of filing : 15.12.1994

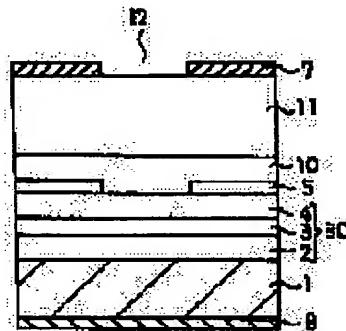
(71)Applicant : TOSHIBA CORP
(72)Inventor : SUZUKI FUMIKO
NOZAKI HIDEKI

(54) SEMICONDUCTOR LIGHT EMITTING ELEMENT

(57)Abstract:

PURPOSE: To provide a semiconductor light emitting element in which the operating voltage of the element is lowered, the voltage is lowered and the defective element is reduced and to improve its yield.

CONSTITUTION: A semiconductor light emitting element comprises a semiconductor substrate 1, a light emitting layer 30 formed of a plurality of semiconductor layers formed on the substrate, a current diffused layer formed on the emitting layer, and a light extraction electrode 7 formed on the diffused layer. The plurality of the semiconductor layers for forming the diffused layer is made of GaAlAs compound semiconductor containing Al, and the Al mixed crystal ratio of the layer 10 of the emitting layer side is smaller than that of the layer 11 of the electrode side. The Al mixed crystal ratio of the clad layer side of the emitting layer of the diffused layer is lowered, and the layer in which the ratio is enhanced is formed thereon to lower the resistance of the diffused layer, thereby reducing the operating voltage. When the ratio is reduced, the surface state after the crystal growth is improved, and hence the abnormal growth can be remarkably reduced.



LEGAL STATUS

[Date of request for examination] 07.06.2000

[Date of sending the examiner's decision of rejection] 01.05.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-172218

(43) 公開日 平成8年(1996)7月2日

(51) Int.Cl.⁶
H 01 L 33/00

識別記号 A
H 01 L 33/00
E

F I

技術表示箇所

審査請求 未請求 請求項の数6 FD (全7頁)

(21) 出願番号 特願平6-333890

(22) 出願日 平成6年(1994)12月15日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 鈴木 富美子

神奈川県川崎市幸区堀川町72番地 株式会社東芝堀川町工場内

(72) 発明者 野崎 秀樹

神奈川県川崎市幸区堀川町72番地 株式会社東芝堀川町工場内

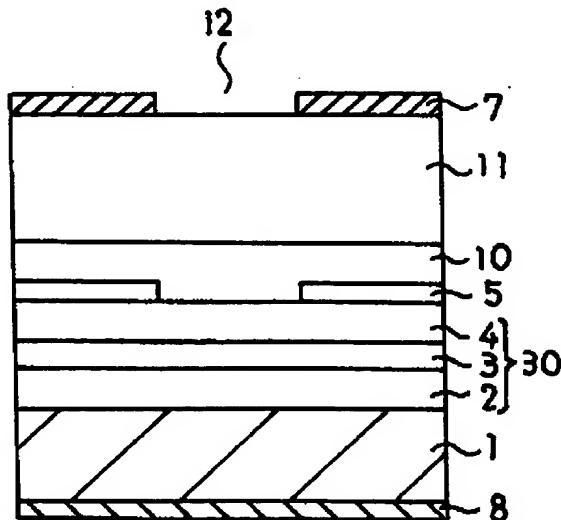
(74) 代理人 弁理士 竹村 寿

(54) 【発明の名称】 半導体発光素子

(57) 【要約】

【目的】 素子の動作電圧を低くさせた半導体発光素子を提供し、また、素子の動作電圧を低くすると共に不良品の発生を少なくしてその歩留まりを向上させた半導体発光素子を提供する。

【構成】 半導体発光素子は、半導体基板1と、前記半導体基板上に形成された複数の半導体層から構成された発光層30と、前記発光層の上に形成された電流拡散層と、前記電流拡散層の上に形成された光取り出し電極7とを備えている。この電流拡散層を構成する複数層の半導体層は、Alを含むGaAlAs系化合物半導体からなり、発光層側の半導体層10のAl混晶比は光取り出し電極側の半導体層11のAl混晶比より小さい。GaAlAs系電流拡散層の発光層のクラッド層側のAl混晶比を低くし、その上にAl混晶比を高くした層を形成することによって電流拡散層の抵抗が小さくなり動作電圧が低下する。Al混晶比を低くすると結晶成長後の面状態が良くなるので、異常成長の発生も著しく少なくなる。



【特許請求の範囲】

【請求項1】 半導体基板と、

前記半導体基板上に形成された複数の半導体層から構成された発光層と、

前記発光層の上に形成された電流拡散層と、

前記電流拡散層の上に形成された光取り出し電極とを備え、

前記電流拡散層を構成する複数層の半導体層は、A1を含むGaAlAs系化合物半導体からなり、前記発光層側の半導体層のAl混晶比は前記光取り出し電極側の半導体層のAl混晶比より小さいことを特徴とする半導体発光素子。

【請求項2】 半導体基板と、

前記半導体基板上に形成された複数の半導体層から構成された発光層と、

前記発光層の上に形成された電流プロック層と、

前記電流プロック層の上に形成された電流拡散層と、

前記電流拡散層の上に形成された光取り出し電極とを備え、

前記電流拡散層を構成する複数層の半導体層は、A1を含むGaAlAs系化合物半導体からなり、前記発光層側の半導体層のAl混晶比は前記光取り出し電極側の半導体層のAl混晶比より小さいことを特徴とする半導体発光素子。

【請求項3】 前記電流拡散層を構成する複数層の半導体層は、少なくとも前記発光層側の半導体層と、前記光取り出し電極側の半導体層と、これら半導体層の間に配置された中間の半導体層とからなり、前記光取り出し電極に近い半導体層ほどそのAl混晶比が大きいことを特徴とする請求項1又は請求項2に記載の半導体発光素子。

【請求項4】 前記半導体基板と前記発光層との間には少なくとも1層の光反射層が形成されていることを特徴とする請求項1乃至請求項3のいづれかに記載の半導体発光素子。

【請求項5】 前記発光層側の半導体層の厚さは、1.0μm以上であることを特徴とする請求項1乃至請求項4のいづれかに記載の半導体発光素子。

【請求項6】 前記発光層側の半導体層は、Ga_{1-x}Al_xAs系化合物半導体からなり、Al混晶比xは、0.2以上、0.5以下であることを特徴とする請求項1乃至請求項5に記載の半導体発光素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、動作電圧が低く歩留まりの高い半導体発光素子に関し、特に屋内や屋外の情報表示板、自動車のストップランプ、信号機、カメラの印字光源などに使用される半導体発光素子に関するものである。

【0002】

【従来の技術】従来半導体結晶を用いた発光素子としては、発光ダイオード(LED: Light Emitting Diode)、レーザダイオード(LD: Laser Diode)、エレクトロルミネセンス(EL: Electro-Luminescence)等が知られている。前二者は半導体接合に準方向電圧をかけ、少数キャリアを注入して接合部で多数キャリアとの再結合を起こし、このとき放出される光を利用する素子である。エレクトロルミネセンスは結晶体に電界を加えたときに発光する現象である。印加電圧としては直流、交流いづれでも可能である。これら半導体発光素子の中でも発光ダイオードは、屋内や駅構内用情報表示板、道路表示用情報板、自動車のストップランプ、信号機、カメラの印字用光源等に使用されている。このような分野に使用されるLEDとしては次のようなものがある。まず、可視光を発光するInGaAlP系LEDが有る。また、赤色発光素子としては、ピーク波長が630nm程度のGaAsP赤色LED及びピーク波長が660nm程度のGaAlAs赤色LEDがあり、橙色LED発光素子としては、ピーク波長が610nm程度のGaAsP橙色LEDがある。黄色発光素子としては、ピーク波長が590nm程度のGaAsAlP黄色LEDがあり、さらに緑色発光素子としては、ピーク波長が565nm程度のGaP緑色LEDがある。

【0003】なお、半導体発光素子を形成する主な手段としては、厚膜形成法として周知のエピタキシャル結晶成長法である気相成長法(VPE)や液相成長法(LPE)が知られており、VPEは、GaAsPの形成に適しており、LPEはGaAlAs、GaP等の形成に適している。その他に有機金属を用いたVPE(MOVPE: Metal Organic Vapor Phase Epitaxy)やMBE(Molecular Beam Epitaxy)などの方法が知られている。

【0004】図7を参照して従来技術を説明する。この半導体発光素子は、可視光を発光するInGaAlP系LEDである。半導体基板1には、例えば、不純物濃度が3×10¹⁸cm⁻³程度のn-GaAs半導体基板を用いる。この半導体基板1の上に、MOCVD法により、厚さ0.6μmのn-In_{0.3}Al_{0.7}Pクラッド層2、厚さ0.3μmのn-In_{0.3}Ga_{0.7}P活性層3及び厚さ0.6μmのp-In_{0.3}Al_{0.7}Pクラッド層4からなる発光層30、及びn-In_{0.3}Al_{0.7}P電流プロック層5を順次成長させる。次に、PEP(Photo Engraving Process)法によりフォトレジストパターン(図示せず)を形成し、これをマスクにして電流プロック層5の中心部分をエッチング除去する。続いて、厚さ5.0μm程度のp-Ga_{1-x}Al_xAs電流拡散層6を成長させる。次に、半導体基板1の裏面全面にAuGeからなるn側電極8を形成し、さらに、電流拡散層6の上には、電流プロック層5に囲まれた発光面とほぼ同じ形状の光取り出し窓を有するAuZnなどか

らなる光取り出し電極（p側電極）7を形成する。

【0005】

【発明が解決しようとする課題】以上、従来の半導体発光素子において、とくに電流プロック層を設けたLEDは、電流が発光層に集中するので、その動作電圧が高くなる傾向にある。また、前述のように電流プロック層は、半導体基板を縦に流れる電流の所定の領域の流れを阻止するものであり、発光層上に選択的に形成されるので、発光層全面に形成してから選択的にエッチング除去しなければならない。このようにプロックを結晶成長させてから再び次の半導体層を結晶成長させると、p-クラッド層とその上の選択的にエッチングされたプロックにより形成された段差のため異常成長が発生する。図8はその状態を示したものである。構造的には図7の半導体発光素子と同じである。裏面全面にAu-Gaからなるn側電極8を形成したn-GaAs半導体基板1の上に、MOCVD法により、n-In_{0.5}(Ga_{0.5}A_{1-x})_{0.5}Pクラッド層2、n-In_{0.5}Ga_{0.5}P活性層3及びp-In_{0.5}(Ga_{0.5}A_{1-x})_{0.5}Pクラッド層4からなる発光層5を順次成長させ、さらに、厚さ5μm程度のn-In_{0.5}(Ga_{0.5}A_{1-x})_{0.5}P電流プロック層5を成長させる。次に、フォトレジストバターンをマスクにして電流プロック層5の中心部分をエッチング除去する。

【0006】p-Ga_{1-x}A_{1-x}As電流拡散層6はこの上に成長する。従来電流拡散層のA₁混晶比xは、光吸収を少なくするために通常0.7~0.8程度の大きさであった。電流拡散層6の周辺部分にはAu-Znなどからなるp側電極7が形成されている。図の様に電流プロック層5には異常成長9が起きている。半導体ウェーハに発光素子を形成してからベレット化を行う工程中において、使用する薬品に対する耐性がないために、異常成長部分9は下層の電流プロック層5に達する穴となり、したがって、この発光素子は不良品となる。従来は、この様な不良品の発生が多く歩留まりの低下が問題になっていた。本発明は、この様な事情によりなされたものであり、素子の動作電圧を低くさせた半導体発光素子を提供することを目的にしている。また、素子の動作電圧を低くすると共に不良品の発生を少なくしてその歩留まりを向上させた半導体発光素子を提供することを目的にしている。

【0007】

【課題を解決するための手段】本発明は、GaAlAs系電流拡散層を結晶成長させる際に、発光層のクラッド層側のA₁混晶比を低くし、その上にA₁混晶比を高めた層を形成することを特徴としている。すなわち、本発明の半導体発光素子は、半導体基板と、前記半導体基板上に形成された複数の半導体層から構成された発光層と、前記発光層の上に形成された電流拡散層と、前記電流拡散層の上に形成された光取り出し電極とを備え、前

記電流拡散層を構成する複数層の半導体層は、A₁を含むGaAlAs系化合物半導体からなり、前記発光層側の半導体層のA₁混晶比は前記光取り出し電極側の半導体層のA₁混晶比より小さいことを第1の特徴とする。また、本発明の半導体発光素子は半導体基板と、前記半導体基板上に形成された複数の半導体層から構成された発光層と、前記発光層上に形成された電流プロック層と、前記電流プロック層の上に形成された電流拡散層と、前記電流拡散層の上に形成された光取り出し電極とを備え、前記電流拡散層を構成する複数層の半導体層は、A₁を含むGaAlAs系化合物半導体からなり、前記発光層側の半導体層のA₁混晶比は前記光取り出し電極側の半導体層のA₁混晶比より小さいことを第2の特徴とする。

【0008】前記電流拡散層を構成する複数層の半導体層は、少なくとも前記発光層側の半導体層と、前記光取り出し電極側の半導体層と、これら半導体層の間に配置された中間の半導体層とからなり、前記光取り出し電極に近い半導体層ほどそのA₁混晶比が大きくなるようにしても良い。前記半導体基板と前記発光層との間には少なくとも1層の光反射層を形成しても良い。前記発光層側の半導体層の厚さを1.0μm以上にしても良い。前記発光層側の半導体層はGa_{1-x}A_{1-x}As系化合物半導体からなり、そのA₁混晶比xを0.2以上、0.5以下になるようにしても良い。

【0009】

【作用】GaAlAs系電流拡散層の発光層のクラッド層側のA₁混晶比を低くし、その上にA₁混晶比を高めた層を形成することによって電流拡散層の抵抗が小さくなり動作電圧が低下する。A₁混晶比を低くすると結晶成長後の面状態が良くなるので、異常成長の発生も著しく少なくなる。A₁混晶比が低いと電流拡散層の光吸収が大きく、したがって発光層のクラッド層に接する低A₁混晶比電流拡散層の厚さ及び混晶比は活性層で発光した光の吸収を1~3割程度以下に抑えるのが好ましい。

【0010】

【実施例】以下、図面を参照して本発明の実施例を説明する。まず、図1乃至図3を用いて第1の実施例を説明する。図1は、1チップに1つの素子が形成された可視光を発光するInGaAlP系LEDの断面図、図2は、このLEDに形成された電流拡散層を構成する低A₁混晶比電流拡散層の混晶比（x）の動作電圧依存性を示す特性図、図3は、前記低A₁混晶比電流拡散層厚（μm）動作電圧依存性を示す特性図である。半導体基板1には、例えば、不純物濃度が3×10¹⁹cm⁻³程度のn-GaAs半導体基板を用いる。この半導体基板1の上に厚さ0.6μmのn-In_{0.5}(Ga_{0.5}A_{1-x})_{0.5}Pクラッド層2、厚さ0.3μmのn-In_{0.5}Ga_{0.5}P活性層3及び厚さ0.6μmのp-In_{0.5}

(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層4からなる発光層30が形成されている。そして、この発光層30の上に厚さ0.02μmのn-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層5が形成されている。

【0011】この電流ブロック層5には中心部分に開口が形成されていて、その開口部分が発光面になっている。発光層30及び電流ブロック層5の上には電流拡散層が形成されている。この電流拡散層は、厚さが5μm程度であり、電流ブロック側の厚さ1.0μm以上の低A1混晶比電流拡散層10とこの低A1混晶比電流拡散層10の上に形成された高A1混晶比電流拡散層11とから構成されている。半導体基板1の裏面全面にはオーミックコンタクトを有する、例えば、AuGeからなるn側電極8が形成されている。さらに、電流拡散層6の上には電流ブロック層5に囲まれた発光面とほぼ同じ形状の光取り出し窓12を有する、例えば、AuZnからなるオーミックコンタクトを有する光取り出し電極(p側電極)7を形成する。

【0012】次に、この半導体発光素子の製造方法について説明する。Siをドープし、不純物濃度が $3 \times 10^{18} \text{ cm}^{-3}$ 程度の結晶面が(100)面であるn-GaAs半導体基板1の上に、MOCVD法により、半導体各層を結晶成長させる。原料にはトリメチルガリウム(TM-G)、トリメチルアルミニウム(TMA)、トリメチルインジウム(TMI)、AsH₃、PH₃を用い、半導体層の導電型を規定するドーパントにはDMZ(p型)、SiH₄(n型)などを用いる。結晶成長の成長温度は約700°Cであり、反応室の圧力は、約40Torrである。そして、まず、n-GaAs基板1上にSiをドープした不純物濃度が $4 \times 10^{17} \text{ cm}^{-3}$ 、厚さ0.6μmのn-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層2、不純物濃度がほぼ 10^{16} cm^{-3} で厚さ0.3μmのノンドープn-In_{0.5}As活性層3及びZnをドープし、不純物濃度が $4 \times 10^{17} \text{ cm}^{-3}$ 、厚さ0.6μmのp-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層4から構成された発光層30を順次結晶成長させ、ついで、Siをドープした不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 、厚さ0.02μmのn-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層5を結晶成長させる。

【0013】この電流ブロック層は、PECVD工程を用いて形成したフォトレジストパターン(図示しない)をマスクにしてエッチングされ、その中心部分に開口部が形成される。この開口部は発光面を形成する。次に、Znをドープし、不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上、厚さ1.0μm以上のp-Ga_{1-x}Al_xAs($0.3 \leq x \leq 0.5$)低A1混晶比電流拡散層10及びZnをドープし、不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上のp-Ga_{1-y}Al_yAs($y > 0.5$)高A1混晶比電流拡散層11を順次成長させる。次に、n-GaAs基板1の裏

面全面に真空蒸着法などによりn側電極(AuGe)8を堆積させ、ついで同じく真空蒸着法などにより電流拡散層の上にp側電極(AuZn)7を形成する。p側電極7は、前記発光面とほぼ同じ形状の光取り出し窓12を備えており、ここから光が発光する。

【0014】次に、図2及び図3を参照して低A1混晶比電流拡散層の作用を説明する。図2は、縦軸に半導体発光素子の動作電圧(V)をとり、横軸にp-Ga_{1-x}Al_xAsの組成を有する低A1混晶比電流拡散層のA1混晶比xをとっている。この特性図の低A1混晶比電流拡散層の膜厚は、2.0μmである。このときの高A1混晶比電流拡散層のA1混晶比yは、0.7であり、膜厚は、3.0μmである。動作電圧は、前記A1混晶比xが小さい程低くなり有利である。しかし、A1混晶比xが小さいほど発光された光を吸収するので、できるだけこの部分を薄くしてその影響を小さくする必要がある。従って、A1混晶比xは、0.2~0.7が好ましく、0.3~0.5がとくに好ましい。

【0015】図3は、縦軸に半導体発光素子の動作電圧(V)をとり、横軸にp-Ga_{1-x}Al_xAsの組成を持っている低A1混晶比電流拡散層の膜厚(μm)をとっている。この特性図が示す電圧-膜厚曲線は、A1混晶比x=0.3の場合とx=0.5の場合の2例が示されている。高A1混晶比電流拡散層のA1混晶比yは0.7であり、膜厚は、トータルの厚さが5.0μmになるようにした。低A1混晶比電流拡散層の膜厚が1μmを越えると動作電圧の低下が顕著になるので、膜厚の範囲は1μm程度以上が好ましい。しかし、通常電流拡散層の膜厚は5μm程度であるので、あまり厚くすると低A1混晶比電流拡散層の電流拡散層に占める割合が大きくなり、大きな弊害となる発光される光の吸収が問題になってくる。電流拡散層による光の吸収を発光の10~30%以下に抑えることができれば半導体発光素子としての機能を支障なく果たすことができるものと認められるので、前記膜厚を1μm~4μm程度にすることはさらに好ましい。

【0016】従来の半導体発光素子の電流拡散層をp-Ga_{0.5}Al_{0.5}As(膜厚5.0μm)とし、本発明の半導体発光素子の電流拡散層をp-Ga_{0.5}Al_{0.5}As(膜厚1.0μm)及びp-Ga_{0.5}Al_{0.5}As(膜厚4.0μm)として両者を比較すると、素子の動作電圧は、0.3V(I_f)程度低下させることができる。また、電流拡散層のA1混晶比xを下げることによって、結晶成長後の面状態も改善され、歩留まりが2割向上する。

【0017】次に、図4を参照して第2の実施例を説明する。図は、可視光を発光するInGaAlP系LEDの断面図である。基板1には不純物濃度が $3 \times 10^{19} \text{ cm}^{-3}$ 程度のn-GaAs半導体基板を用いる。この半導体基板1の上に厚さ0.6μmのn-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層5を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層2を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層3を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層4を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層5を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層6を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層7を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層8を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層9を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層10を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層11を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層12を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層13を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層14を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層15を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層16を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層17を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層18を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層19を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層20を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層21を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層22を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層23を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層24を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層25を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層26を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層27を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層28を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層29を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層30を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層31を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層32を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層33を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層34を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層35を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層36を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層37を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層38を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層39を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層40を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層41を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層42を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層43を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層44を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層45を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層46を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層47を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層48を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層49を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層50を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層51を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層52を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層53を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層54を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層55を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層56を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層57を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層58を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層59を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層60を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層61を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層62を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層63を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層64を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層65を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層66を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層67を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層68を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層69を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層70を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層71を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層72を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層73を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層74を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層75を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層76を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層77を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層78を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層79を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層80を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層81を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層82を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層83を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層84を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層85を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層86を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層87を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層88を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層89を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層90を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層91を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層92を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層93を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層94を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層95を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層96を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層97を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層98を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層99を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層100を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層101を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層102を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層103を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層104を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層105を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層106を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層107を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層108を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層109を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層110を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層111を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層112を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層113を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層114を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層115を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層116を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層117を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層118を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層119を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層120を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層121を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層122を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層123を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層124を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層125を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層126を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層127を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層128を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層129を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層130を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層131を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層132を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層133を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層134を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層135を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層136を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層137を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層138を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層139を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層140を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層141を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層142を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層143を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層144を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層145を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層146を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層147を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層148を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層149を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層150を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層151を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層152を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層153を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層154を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層155を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層156を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層157を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層158を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層159を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層160を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P電流ブロック層161を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層162を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}P活性層163を形成する。次に、n-In_{0.5}(Ga_{0.8}Al_{0.2})_{0.5}Pクラッド層164を形成する。次に、n-In₀

$n_{-}In_{0.5}Ga_{0.5}P$ クラッド層2、厚さ0.3μmの
 $n_{-}In_{0.5}Ga_{0.5}P$ 活性層3及び厚さ0.6μmの
 $p_{-}In_{0.5}(Ga_{0.3}Al_{0.7})_{0.5}P$ クラッド層4
 からなる発光層30が形成されている。発光層30の上
 には電流拡散層が形成されている。この電流拡散層は、
 厚さが5μm程度であり、発光層側の厚さ1.0μm以
 上の低A1混晶比電流拡散層10とこの低A1混晶比電
 流拡散層10の上に形成された高A1混晶比電流拡散層
 11とから構成されている。半導体基板1の裏面全面に
 はオーミックコンタクトを有するAuGe等からなるn
 側電極8が形成されている。さらに、電流拡散層6の上
 には、AuZnなどからなるオーミックコンタクトを有
 する光取り出し電極(p側電極)7が形成されている。

【0018】この実施例では、所定の形状にバターニング
 された電流ブロック層は形成されていないので、段差
 による結晶状態については問題にならないが、電流拡散
 層に低A1混晶比電流拡散層が含まれているので、動作
 電圧の低下が期待できる。低A1混晶比電流拡散層の膜
 厚が1μmを越えると動作電圧の低下が顕著になるの
 で、膜厚の範囲は1μm程度以上が好ましい。しかし、
 通常電流拡散層の膜厚は5μm程度であるので、あまり
 厚くすると低A1混晶比電流拡散層の電流拡散層に占める
 割合が大きくなり、大きな弊害となる発光される光の
 吸収が問題になってくるので、前記膜厚を1μm以上、
 好ましくは1μm~4μm程度にするのが良い。

【0019】次に、図5を参照して第3の実施例を説明
 する。図は、可視光を発光するInGaAlP系LED
 の断面図である。基板1には不純物濃度が $3 \times 10^{18} \text{ cm}^{-3}$ 程度のn-GaAs半導体基板を用いる。この半導
 体基板1の上に厚さ0.6μmの $n_{-}In_{0.5}(Ga_{0.3}Al_{0.7})_{0.5}P$ クラッド層2、厚さ0.3μmの
 $n_{-}In_{0.5}Ga_{0.5}P$ 活性層3及び厚さ0.6μmの
 $p_{-}In_{0.5}(Ga_{0.3}Al_{0.7})_{0.5}P$ クラッド層4
 からなる発光層30が形成されている。そして、この発
 光層30の上に厚さ0.02μmの $n_{-}In_{0.5}(Ga_{0.3}Al_{0.7})_{0.5}P$ 電流ブロック層5が形成されてい
 る。この電流ブロック層5は発光層30の中心部分に形
 成されていて、その周辺部分が発光面になっている。発
 光層30及び電流ブロック層5の上には電流拡散層が形
 成されている。この電流拡散層は、厚さが5μm程度で
 あり、電流ブロック側の厚さ1.0μm以上の低A1混
 晶比電流拡散層10とこの低A1混晶比電流拡散層10
 の上に形成された高A1混晶比電流拡散層11とから構
 成されている。半導体基板1の裏面全面にはオーミック
 コンタクトを有するAuGeなどからなるn側電極8が形
 成されている。さらに、電流拡散層の上には、電流ブロ
 ック層5に囲まれた発光面とほぼ同じ形状の光取り出し
 窓12を有するAuZnなどからなるオーミックコンタクト
 を有する光取り出し電極(p側電極)7が形成されてい
 る。低A1混晶比電流拡散層の膜厚が1μmを越え
 ると動作電圧の低下が顕著になるので、膜厚の範囲は1
 μm程度以上が好ましい。しかし、電流拡散層による光
 の吸収を考慮すれば前記膜厚を1μm~4μm程度にす
 るのがさらに好ましい。

【0020】さらに、電流拡散層の上には、電流ブロ
 ック層5とほぼ同じ形状のAuZnなどからなるオーミック
 コンタクトを有する光取り出し電極(p側電極)7を
 形成する。低A1混晶比電流拡散層の膜厚が1μmを越

えると動作電圧の低下が顕著になるので、膜厚の範囲は
 1μm程度以上が好ましい。しかし、電流拡散層による
 光の吸収を考慮すれば前記膜厚は1μm~4μm程度が
 適当である。また、電流拡散層のA1混晶比xを下げる
 ことによって結晶成長後の面状態も改善され、歩留まり
 が2割向上する。

【0021】次に、図6を参照して第4の実施例を説明
 する。図は、可視光を発光するInGaAlP系LED
 の断面図である。半導体基板1には不純物濃度が $3 \times 10^{18} \text{ cm}^{-3}$ 程度のn-GaAs半導体基板を用いる。この半導
 体基板1の上には複数層の半導体層からなる光反
 射層13を成長形成されている。光反射層13は、発光
 波長の1/2程度の厚さの $p_{-}InAlP$ と $p_{-}InGaAlP$ が交互に積層された多層構造の半導体層から構
 成されている。この光反射層の上には厚さ0.6μmの
 $n_{-}In_{0.5}(Ga_{0.3}Al_{0.7})_{0.5}P$ クラッド層
 2、厚さ0.3μmの $n_{-}In_{0.5}Ga_{0.5}P$ 活性層3
 よび厚さ0.6μmの $p_{-}In_{0.5}(Ga_{0.3}Al_{0.7})_{0.5}P$ クラッド層4から構成された発光層30が
 形成されている。そしてこの発光層30の上に厚さ0.
 02μmの $n_{-}In_{0.5}(Ga_{0.3}Al_{0.7})_{0.5}P$ 電流ブロック層5が形成されている。この電流ブロック層
 5には中心部分に開口が形成されていて、その開口部分
 が発光面になっている。発光層30及び電流ブロック層
 5の上には電流拡散層が形成されている。

【0022】この電流拡散層は、厚さが5μm程度であ
 り、電流ブロック側の厚さ1.0μm以上の低A1混
 晶比電流拡散層10とこの低A1混晶比電流拡散層10
 の上に形成された高A1混晶比電流拡散層11とから構成
 されている。半導体基板1の裏面全面にはオーミックコン
 タクトを有するAuGeなどからなるn側電極8が形
 成されている。さらに、電流拡散層の上には、電流ブロ
 ック層5に囲まれた発光面とほぼ同じ形状の光取り出し
 窓12を有するAuZnなどからなるオーミックコンタクト
 を有する光取り出し電極(p側電極)7が形成されてい
 る。低A1混晶比電流拡散層の膜厚が1μmを越え
 ると動作電圧の低下が顕著になるので、膜厚の範囲は1
 μm程度以上が好ましい。しかし、電流拡散層による光
 の吸収を考慮すれば前記膜厚を1μm~4μm程度にす
 るのがさらに好ましい。また、電流拡散層のA1混晶比x
 を下げるこによって、結晶成長後の面状態も改善され、歩留まり
 が2割向上する。さらに、光反射層を設けるこによって半導体発光素子の発光強度が向上する。
 以上、実施例において、n型化合物半導体基板を用いたが、p型半導体基板を用いても良い。

【0023】

【発明の効果】本発明は、電流拡散層を複数層から構成
 されており、GaAlAs系電流拡散層の発光層クラッド層側のA1混晶比を低くし、その上にA1混晶比を高
 くした層を形成することによって電流拡散層の抵抗が小

さく動作電圧が低下する。A1混晶比を低くすると結晶成長後の面状態が良くなるので、異常成長の発生も著しく少なくなる。A1混晶比が低いと電流拡散層の光吸収が大きく、したがって発光層クラッド層に接する低A1混晶比電流拡散層の厚さ及び混晶比は活性層で発光した光の吸収を1~3割程度以下に抑えるのが好ましい。

【図面の簡単な説明】

【図1】本発明の第1の実施例の半導体発光素子の断面図。

【図2】本発明の電流拡散層の低A1混晶比の動作電圧依存性を示す特性図。

【図3】本発明の電流拡散層の膜厚の動作電圧依存性を示す特性図。

【図4】第2の実施例の半導体発光素子の断面図。

【図5】第3の実施例の半導体発光素子の断面図。

【図6】第4の実施例の半導体発光素子の断面図。

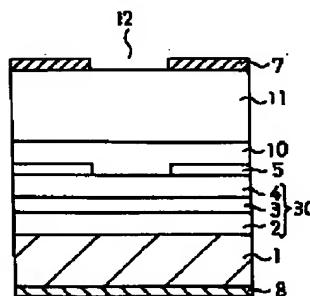
*【図7】従来の半導体発光素子の断面図。

【図8】従来の半導体発光素子の断面図。

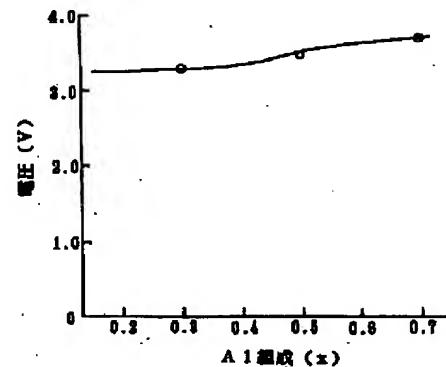
【符号の説明】

1	n型GaN基板
2, 4	クラッド層
3	活性層
5	電流プロック層
6	電流拡散層
7	p側電極
8	n側電極
9	異常成長
10	低A1混晶比電流拡散層
11	高A1混晶比電流拡散層
12	光取り出し窓
13	光反射層
30	発光層

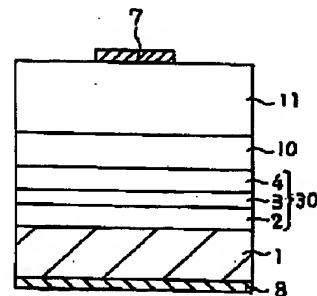
【図1】



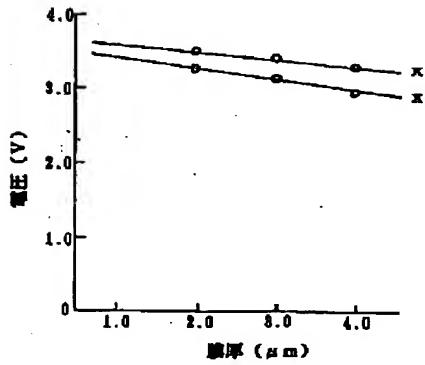
【図2】



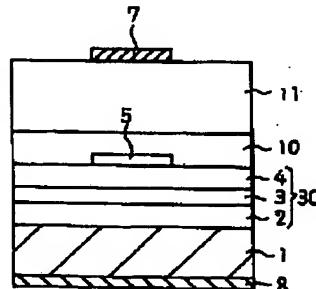
【図4】



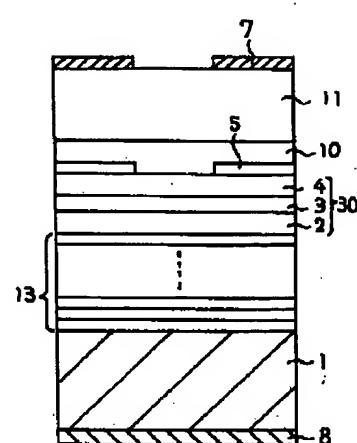
【図3】



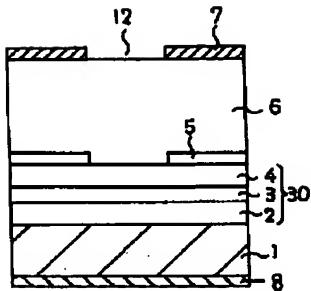
【図5】



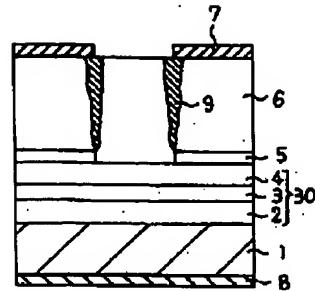
【図6】



【図7】



【図8】



【手続補正書】

【提出日】平成7年2月9日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正内容】

【0005】

【発明が解決しようとする課題】以上、従来の半導体発光素子において、とくに電流ブロック層を設けたLEDは、電流が発光層に集中するので、その動作電圧が高くなる傾向にある。また、前述のように電流ブロック層は、半導体基板を縦に流れる電流の所定の領域の流れを阻止するものであり、発光層上に選択的に形成されるので、発光層全面に形成してから選択的にエッチング除去しなければならない。このようにブロックを結晶成長させてから再び次の半導体層を結晶成長させると、p-クラッド層とその上の選択的にエッチングされたブロックにより形成された段差のため異常成長が発生する。図8はその状態を示したものである。構造的には図7の半導体発光素子と同じである。裏面全面にAu-Geからなるn側電極8を形成したn-GaAs半導体基板1の上に、MOCVD法により、n-In_{0.5}(Ga_{0.3}Al_{0.7})_{0.5}Pクラッド層2、n-In_{0.5}Ga_{0.5}P活性層3及びp-In_{0.5}(Ga_{0.3}Al_{0.7})_{0.5}Pクラッド層4からなる発光層30を順次成長させ、さらに、厚さ0.02μm程度のn-In_{0.5}(Ga_{0.3}Al_{0.7})_{0.5}P電流ブロック層5を成長させる。次に、

フォトレジストパターンをマスクにして電流ブロック層5の中心部分をエッチング除去する。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正内容】

【0021】次に、図6を参照して第4の実施例を説明する。図は、可視光を発光するInGaAlP系LEDの断面図である。半導体基板1には不純物濃度が $3 \times 10^{18} \text{ cm}^{-3}$ 程度のn-GaAs半導体基板を用いる。この半導体基板1の上には複数層の半導体層からなる光反射層13が成長形成されている。光反射層13は、発光波長の1/2程度の厚さのn-InAlPとn-GaAsが交互に積層された多層構造の半導体層から構成されている。この光反射層の上には厚さ0.6μmのn-In_{0.5}(Ga_{0.3}Al_{0.7})_{0.5}Pクラッド層2、厚さ0.3μmのn-In_{0.5}Ga_{0.5}P活性層3及び厚さ0.6μmのp-In_{0.5}(Ga_{0.3}Al_{0.7})_{0.5}Pクラッド層4から構成された発光層30が形成されている。そしてこの発光層30の上に厚さ0.02μmのn-In_{0.5}(Ga_{0.3}Al_{0.7})_{0.5}P電流ブロック層5が形成されている。この電流ブロック層5には中心部分に開口が形成されていて、その開口部分が発光面になっている。発光層30及び電流ブロック層5の上には電流拡散層が形成されている。